

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274239  
 (43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 21/768

(21)Application number : 2000-088970

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.2000

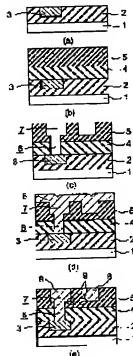
(72)Inventor : AZUMA KAZUYUKI  
MATSUNAGA NORIAKI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent capacitance increase between wirings, in the case where a laminated film made of a high dielectric film and a low dielectric film is used as an interlayer insulating film.

**SOLUTION:** A high dielectric film 4 and a low dielectric film 5 are formed successively on an interlayer insulating film 2, in which a metal wiring 3 is buried. Next, a via hole 6 and a wiring trench 7 are formed in the high dielectric film 4 and the low dielectric film 5 through etching. Here, the etching time is controlled so that the bottom of the wiring trench 7 does not reach the high dielectric film 4, whereby the bottom of the wiring trench 7 exists in the low dielectric film 5. Then, a DD wiring 8 is buried in the via hole 6 and the wiring trench 7.



## LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

データベース (参考)

M 5 F 0 3 3

審査請求 未請求 請求項の数 9 O L (全 6 頁)

(21) 出願番号 特願2000-88970 (P2000-88970)

(22) 出願日 平成12年3月28日 (2000.3.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 東 和幸

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 松永 範昭

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

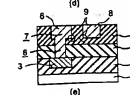
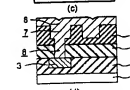
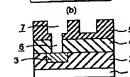
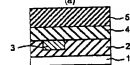
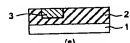
最終頁に続く

## (54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】層間絶縁膜として、高誘電率膜/低誘電率膜の積層膜を用いた場合における、配線間容量の上昇を防止すること。

【解決手段】金属配線3が埋込み形成されている層間絶縁膜2上に、高誘電率膜4、低誘電率膜5を順次形成する。次に高誘電率膜4、低誘電率膜5にビアホール6および配線溝7をエッチングにより形成する。このとき、配線溝7の底面が高誘電率膜4に達しないようにエッチング時間を制御し、配線溝7の底面が低誘電率膜5内に存在するように形成する。その後、ビアホール6および配線溝7内にD/D配線8を埋め込み形成する。



## 【特許請求の範囲】

【請求項 1】 表面に保護膜が形成された第 1 の配線層を有する半導体基板と、

この半導体基板上に形成され、第 1 の絶縁膜と、この第 1 の絶縁膜上に形成され、前記第 1 の絶縁膜よりも誘電率が低い第 2 の絶縁膜とを含む積層構造の層間絶縁膜であって、溝底面が前記第 2 の絶縁膜内に存在する配線溝と、この配線溝と前記第 1 の配線層とを繋げるための接続孔が形成された層間絶縁膜と、前記接続孔および前記配線溝の内部に埋め込まれた第 2 の配線層とを具備してなることを特徴とする半導体装置。

【請求項 2】 表面に保護膜が形成された第 1 の配線層を有する半導体基板と、この半導体基板上に形成され、第 1 の絶縁膜と、この第 1 の絶縁膜上に形成され、前記第 1 の絶縁膜よりも誘電率が低い第 2 の絶縁膜とを含む積層構造の層間絶縁膜であって、溝底面が前記第 2 の絶縁膜内に存在する配線溝と、この配線溝と前記第 1 の配線層とを繋げるための接続孔が形成された層間絶縁膜と、前記接続孔の内部に埋め込まれたプラグと、前記配線溝の内部に埋め込まれた第 2 の配線層とを具備してなることを特徴とする半導体装置。

【請求項 3】 前記第 2 の絶縁膜は、積層構造の絶縁膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記保護膜は、拡散防止膜、バリアメタル膜および酸化防止膜の少なくとも一つとして使用される膜であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記第 1 の絶縁膜は、前記第 2 の絶縁膜よりも機械的強度が高いことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 6】 前記第 1 の絶縁膜は、前記第 2 の絶縁膜よりもヤング率または硬度が高いことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 7】 表面に保護膜が形成された第 1 の配線層を有する半導体基板上に、第 1 の絶縁膜、この第 1 の絶縁膜よりも誘電率が低い第 2 の絶縁膜を順次形成し、前記第 1 および第 2 の絶縁膜を含む積層構造の層間絶縁膜を形成する工程と、前記層間絶縁膜をエッチングして、溝底面が前記第 2 の絶縁膜内に存在する配線溝と、この配線溝と前記第 1 の配線層とを繋げるための接続孔を形成する工程と、前記接続孔および前記配線溝の内部を埋め込むように、前記層間絶縁膜上に導電膜を堆積する工程と、前記接続孔および前記配線溝の外部の前記導電膜を除去し、前記接続孔および前記配線溝の内部に前記導電膜からなる第 2 の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 表面に保護膜が形成された第 1 の配線層を

有する半導体基板上に、第 1 の絶縁膜、この第 1 の絶縁膜よりも誘電率が低い第 2 の絶縁膜を順次形成し、前記第 1 および第 2 の絶縁膜を含む積層構造の層間絶縁膜を形成する工程と、

前記層間絶縁膜をエッチングして、前記第 1 および第 2 の絶縁膜を貫通し、前記第 1 の配線層とを繋げるための接続孔を形成する工程と、

前記接続孔の内部にプラグを形成する工程と、

前記第 2 の絶縁膜上に前記第 1 の絶縁膜よりも誘電率が低い第 3 の絶縁膜を形成する工程と、

この第 3 の絶縁膜をエッチングして、溝底面が前記第 1 の絶縁膜に達しない、前記プラグに繋がる配線溝を形成する工程と、

前記配線溝の内部を埋め込むように、前記第 3 の絶縁膜上に導電膜を堆積する工程と、

前記配線溝の外部の前記導電膜を除去し、前記配線溝の内部に前記導電膜からなる第 2 の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】 前記保護膜は、拡散防止膜、バリアメタル膜および酸化防止膜の少なくとも一つとして使用される膜であることを特徴とする請求項 7 または 8 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、層間絶縁膜として高誘電率膜／低誘電率膜の積層絶縁膜を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化・高速化に伴い、配線間容量および層間容量の低減化が求められており、そのために金属配線の低抵抗化技術および層間絶縁膜の低誘電率化技術の開発が進んでいる。

【0003】 層間絶縁膜の低誘電率化技術としては、従来から使用されてきた  $\text{SiO}_2$  よりも低い誘電率（＜3）を有する、いわゆる low- $\kappa$  と呼ばれている材料の導入が知られている。

【0004】 しかし、この種の低誘電率材料からなる絶縁膜（低誘電率膜）には、以下の問題があることが指摘されている。すなわち、低誘電率膜は、一般に、ヤング率や硬度が低く、層間絶縁膜として用いるために膜厚を厚くすると、クラックが発生するという問題がある。

【0005】 このような問題を解決する方法として、図 5 に示すように、クラック防止用の CVD 酸化膜等の高誘電率膜 81 上に、低誘電率膜 82 を形成するという、積層構造の層間絶縁膜が提案されている。

【0006】 しかし、この解決策にも、以下に説明するように、問題があることが指摘されている。図 6 は、上述した積層構造の層間絶縁膜を用いた、従来のデュアルダマシン配線（以下、DD 配線という）83 を示す断面図である。

3

【0007】図から分かるように、DD配線83の下部角部84は、高誘電率膜81とコンタクトしている。そのため、上記コンタクト部分で電界の集中が起こり、配線間容量が上昇してしまう。すなわち、低誘電率膜82を用いる効果が薄れてしまうという問題があった。

【0008】

【発明が解決しようとする課題】上述の如く、低誘電率膜の欠点（低ヤング率、低硬度）を補うために、高誘電率膜/低誘電率膜の積層構造の層間絶縁膜が提案されていた。しかし、この種の層間絶縁膜を用いたDD配線は、その下部角部が高誘電率膜とコンタクトするため、低誘電率膜を用いる効果が薄れてしまうという問題があった。

【0009】本発明は、上記事情を考慮してなされたもので、その目的とするところは、高誘電率膜/低誘電率膜の積層構造の層間絶縁膜を用いた場合における、高誘電率膜の悪影響を軽減できる半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものとの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するために、本発明に係る半導体装置は、表面に保護膜が形成された第1の配線層を有する半導体基板と、この半導体基板上に形成され、第1の絶縁膜と、この第1の絶縁膜上に形成され、前記第1の絶縁膜よりも誘電率が低い第2の絶縁膜とを含む積層構造の層間絶縁膜であって、溝底面が前記第2の絶縁膜内に存在する配線溝と、この配線溝と前記第1の配線層とを繋げるための接続孔が形成された層間絶縁膜と、前記接続孔および前記配線溝の内部に埋め込まれた第2の配線層とを備えていることを特徴とする。

【0011】ここで、保護膜が絶縁性のものである場合、上記接続孔は保護膜にも形成されることになる。また、保護膜は、第1の配線層と同一面内の領域全体に形成されていても良いし、あるいは第1の配線層の表面に選択的に形成されていても良い（接続孔がある場合、その部分には保護膜は存在しない）。次の半導体装置の製造方法においても同様である。

【0012】また、本発明に係る半導体装置の製造方法は、表面に保護膜が形成された第1の配線層を有する半導体基板上に、第1の絶縁膜、この第1の絶縁膜よりも誘電率が低い第2の絶縁膜を順次形成し、前記第1および第2の絶縁膜を含む積層構造の層間絶縁膜を形成する工程と、上記層間絶縁膜をエッチングして、溝底面が前記第2の絶縁膜内に存在する配線溝と、この配線溝と前記第1の配線層とを繋げるための接続孔を形成する工程と、前記接続孔および前記配線溝の内部を埋め込むように、前記層間絶縁膜上に導電膜を堆積する工程と、前記接続孔および前記配線溝の外部の前記導電膜を除去し、

前記接続孔および前記配線溝の内部に前記導電膜からなる第2の配線層を形成する工程とを有することを特徴とする。

【0013】このような構成であれば、配線溝の底面が第2の絶縁膜（低誘電率膜）内に存在するので、配線溝の内部の配線層の下部角部が第1の絶縁膜（高誘電率膜）とコンタクトすることはない。したがって、配線溝の内部の配線層の下部角部での電界集中の発生など、第1の絶縁膜（高誘電率膜）の悪影響を軽減できるようにする。本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0014】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0015】図1は、本発明の一実施形態に係るDD配線の形成方法を示す工程断面図である。

【0016】図1(a)は、シリコン基板1上に第1の配線層を形成した段階の断面図を示しており、2は層間絶縁膜、3は金属配線を示している。なお、実際には、第1の配線と層間絶縁膜2との間には、図示しない拡散防止膜（例えばSiC膜、SiN膜）やバリアメタル膜（例えばTiN膜）や酸化防止膜等の保護膜が形成されている。ここで、例えばバリアメタル膜は第1の配線が反応することを防止するための膜であるが、バリアメタル膜の材料によっては、酸化防止膜および酸化防止膜の少なくとも一方の機能を同時に持つことになる。他の膜についても同様であるが、全ての機能を同時に持つためには導電性の膜である必要がある。

【0017】層間絶縁膜2は例えば通常のSiO<sub>2</sub>膜、あるいは次に説明する、高誘電率膜/低誘電率膜の積層構造の層間絶縁膜でも良い。金属配線3は例えばRIE配線、あるいは次に説明するDD配線である。

【0018】次に図1(b)に示すように、全面に高誘電率膜4、低誘電率膜5を順次堆積し、積層構造の層間絶縁膜を形成する。高誘電率膜4は、例えばプラズマCVD法により形成したTEOS膜もしくはSiO<sub>2</sub>膜、シリコン窒化膜、SiOF膜（事務所コメント：弗素を添加した酸化膜は低誘電率膜では？）、またはこれらの絶縁膜から選ばれた少なくとも2種類以上の絶縁膜の積層膜である。低誘電率膜5は、例えば有機SiO<sub>2</sub>膜、HSQ膜、CVD有機シリコン酸化膜、ボラスジカ膜である。高誘電率膜4は、一般に、低誘電率膜5に比べて、ヤング率または硬度が高く、機械的強度が強い。

【0019】次に図1(c)に示すように、図示しない保護膜、高誘電率膜4および低誘電率膜5をエッチングして、金属配線3に対してのビアホール6および配線溝7を形成する。なお、図中右側の配線溝7下のビアホールは他の断面にあり、図には示していない。また、ビアホール6、配線溝7を作る順序は、どちらが先で

も良い。

【0020】ここで、従来と異なる点は、配線溝7の底面は低誘電率膜5内にあり、高誘電率膜4までは達していないことにある。このような配線溝7は、エッチング時間を制御することで形成することができる。

【0021】次に図1(d)に示すように、ビアホール6および配線溝7の内部を埋め込むように、DD配線となる金属膜8を全面に堆積する。金属膜8は、例えばA1膜またはCu膜である。なお、実際のダマシンプロセスでは、ライナー膜や拡散防止膜等の下地膜を形成してから金属膜8を形成するが、ここでは説明を簡単にするために省略してある。

【0022】最後に、図1(e)に示すように、低誘電率膜5上の金属膜8を化学的機械的研磨法を用いて研磨し、ビアホール6および配線溝7の外部の不要な金属膜8を除去し、表面を平坦化してDD配線8(第2の配線層)が完成する。

【0023】本実施形態のDD配線8は、図1(e)から明らかなように、DD配線8の下部角部9は、低誘電率膜5と接しているため、高誘電率膜4の悪影響を受けずに済む。したがって、DD配線8の下部角部9における電界集中は起こらず、低誘電率膜5を用いることの効果(例えば配線間容量の低減化)を十分に享受できるようになる。

【0024】本発明者等は、本発明による配線間容量の低減化の効果を調べるために、以下のようなシミュレーションを行った。

【0025】図2は、シミュレーションに用いた従来および本発明のDD配線構造のモデルを示す図である。図中、11~13は絶縁膜、14、15は配線を示している。各パラメータの値は次の通りである。すなわち、絶縁膜11の比誘電率 $k$ は2、7、第2の絶縁膜12の比誘電率 $k$ は4、1、第3の絶縁膜13の比誘電率 $k$ は6、8、 $L/S/T$ は0、20/0、20/0、35[ $\mu\text{m}$ ]、配線溝の底面からその下の絶縁膜12までの距離(浮かし距離)は50nmである。

【0026】上記条件で配線14、15の間の線間比誘電率 $k_{\text{eff}}$ を調べた結果、従来のDD配線構造の場合、線間比誘電率 $k_{\text{eff}}$ が3.21であったのに対し、本発明のDD配線構造の場合、線間比誘電率 $k_{\text{eff}}$ が3.34であり、従来よりも3.9%も低くできることが明らかになった。

【0027】さらに、浮かし距離の値を200nmにし、その他のパラメータの値は変えずに、本発明のDD配線構造の線間比誘電率 $k_{\text{eff}}$ を調べたところ、その値は3.19であり、従来よりも4.5%も低くできることを確認した。

【0028】図3に、図1のDD配線の変形例を示す。これは、配線溝7が低誘電率膜5と高誘電率膜10との積層絶縁膜に形成されている例である。この場合、配線

溝7を形成する絶縁膜は、高誘電率膜10を含んでいるが、DD配線8の下部角部は低誘電率膜5とコンタクトするので、本実施形態と同様な効果が得られる。

【0029】以上、本発明の実施形態について説明したが、本発明はこれに限定されるものではない。例えば、上記実施形態では、ダマシン配線として特にDD配線の場合について説明したが、本発明はシングルダマシン配線(SD配線)にも適用できる。

【0030】図4に、本発明をSD配線に適用した場合の図1に相当する工程断面図を示す。なお、図1と対応する部分には図1と同一符号(添字が異なるものを含む)を付してあり、詳細な説明は省略する。

【0031】図1に示したDD配線8の場合、プラグと配線は同じ金属膜により、同時に形成される。しかし、SD配線の場合、図4に示すように、プラグ8pと配線8wはそれぞれ別の工程で形成される。

【0032】また、本発明のSD配線が従来のそれとなる点は、配線の下部角部と低誘電率膜とがコンタクトする構造を実現するために、低誘電率膜5を第1の低誘電率膜51と第2の低誘電率膜52との積層膜にしたことにある。

【0033】このような構成にすれば、図4(c)、(d)に示すプラグ8pの形成工程、図4(e)~(g)に示す配線8wの形成工程に従って、配線8wの下部角部と第1の低誘電率膜51とがコンタクトする構造を形成することができる。

【0034】また、上記実施形態では、シリコン基板1上の金属配線3とコンタクトするDD配線の場合について説明したが、シリコン基板1の表面のソース/ドレイン拡散層などにより、基板表面の不純物拡散層とコンタクトするDD配線に対しても本発明は有効である。

【0035】さらに、上記実施形態では、通常のシリコン基板を用いたが、寄生容量を減らし、より高速なデバイスを作成するために、SOI基板を用いてもよい。また、活性領域がSiGeからなる半導体基板を用いてもよい。

【0036】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0037】

【発明の効果】以上詳説したように本発明によれば、配線溝の底面が第2の絶縁膜(低誘電率膜)内に存在し、配線溝の内部の配線の下部角部が第1の絶縁膜(高誘電率膜)とコンタクトすることがなく、その第1の絶縁膜の悪影響を軽減できる半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るダマシン配線の形成方法を示す工程断面図

【図2】シミュレーションに用いた従来および本発明のダマシン配線構造のモデルを示す図

7

【図3】図1のダマシン配線の変形を示す断面図

【図4】本発明をシングルダマシン配線に適用した場合の図1に相当する工程断面図

【図5】低誘電率膜を層間絶縁膜として用いる場合の問題点（クラック）を解決した積層構造の層間絶縁膜を示す断面図

【図6】図4の積層構造の層間絶縁膜を用いた従来のダマシン配線を示す断面図

【符号の説明】

1…シリコン基板

2…層間絶縁膜

3…金属配線

4…高誘電率膜（第1の絶縁膜）

5…低誘電率膜（第2の絶縁膜）

51…低誘電率膜（第2の絶縁膜）

52…低誘電率膜（第3の絶縁膜）

6…グリアホール

7…配線溝

8…ダマシン配線（金属膜）

8p…プラグ

8w…配線

9…下部角部

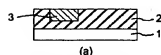
10…高誘電率膜

11～13…絶縁膜

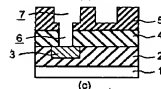
14, 15…配線

8

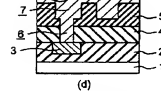
【図1】



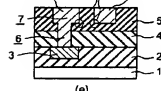
(a)



(b)



(c)

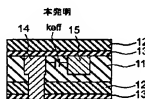
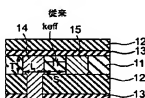


(d)

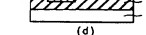
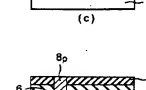
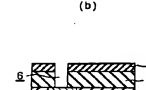
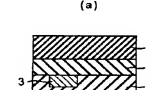
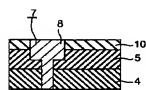


(e)

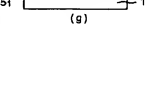
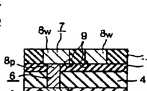
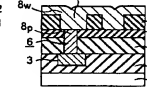
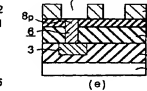
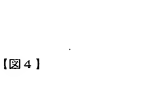
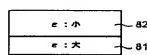
【図2】



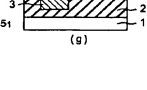
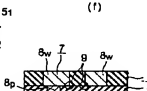
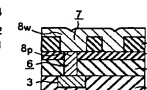
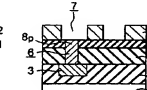
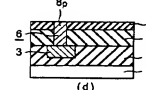
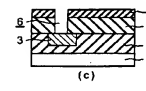
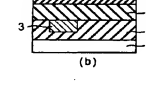
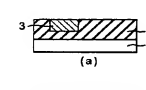
【図3】



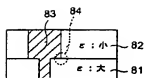
【図5】



【図4】



【図 6】




---

フロントページの続き

F ターム(参考) 5F033 GG00 GG01 HH08 HH11 JJ01  
 JJ08 JJ11 KK01 KK07 KK33  
 KK36 MM01 MM02 QQ37 QQ48  
 RR01 RR04 RR06 RR11 RR21  
 RR25 SS04 SS15 TT01 TT04  
 WW09 XX23 XX27